

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173326

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H05K 3/34

B23K 1/14

(21)Application number : 08-332515

(71)Applicant : PFU LTD

(22)Date of filing : 12.12.1996

(72)Inventor : KITAICHI TATSUHIRO

YAMADA AKITOSHI

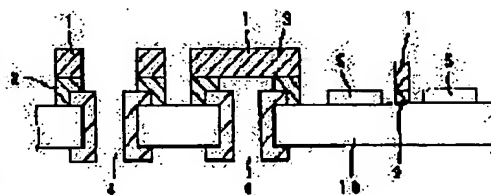
YOKOE TAKESHI

(54) PRINTED WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent short circuits of solder at the time of soldering by forming a barrier wall of marking ink for preventing flow-out of solder on a resist, thereby preventing flow-out of solder to a neighboring small diameter VIA or a pad.

SOLUTION: In a printed wiring board 10 provided with small diameter VIAs 4 and pads 5 at a specified pitch, a barrier wall 1 for preventing flow-out of solder is formed of a marking ink 3 on a resist 2. Since the barrier wall 1 prevents a solder to be soldered to a specified position from flowing out to a neighboring small diameter VIA 4 or a pad 5, short circuit of solder is prevented at the time of soldering. The barrier wall 1 is formed by simply setting a marking position in addition to marking process, without requiring additional processes. Solder short circuiting between the pad 5 and the small diameter VIAs 4 or among the small diameter VIAs can also be prevented, when the barrier wall 1 is formed on the small diameter VIAs 4.



LEGAL STATUS

[Date of request for examination] 19.06.2000

[Date of sending the examiner's decision of rejection] 12.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173326

(43) 公開日 平成10年(1998) 6月26日

(51) Int. CL⁵

H05K 3/34

B23K 1/14

識別記号

502

F I

H05K 3/34

B23K 1/14

502 Z

B

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号

特願平8-332515

(22) 出願日

平成8年(1996)12月12日

(71) 出願人

000136136

株式会社ビーエフユー

石川県河北郡宇ノ気町宇野気ヌ98番地の
2

(72) 発明者

北市 達洋

石川県河北郡宇ノ気町宇野気ヌ98番地の
2 株式会社ビーエフユー内

(72) 発明者

山田 晃稔

石川県河北郡宇ノ気町宇野気ヌ98番地の
2 株式会社ビーエフユー内

(72) 発明者

横江 武司

石川県河北郡宇ノ気町宇野気ヌ98番地の
2 株式会社ビーエフユー内

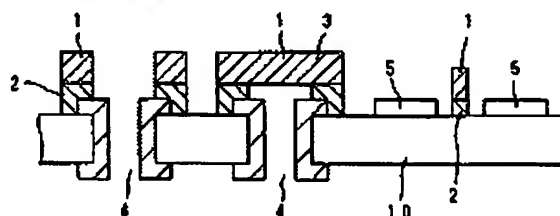
(54) 【発明の名称】 プリント配線板

(57) 【要約】

【課題】 リフローはんだ付けや、ディップはんだ付けされる電子部品等のはんだ接続時に、はんだがパッドと小径VIA、あるいはパッドとパッド等とショートすることを防止できるプリント配線板を提供する。

【解決手段】 リフローはんだ付けやディップはんだ付けの際に、はんだ流出防止用の防御壁をレジスト上にマーキングインクで形成する。防御壁は小径VIAの上に形成してもよいし、小径VIAを塞ぐように形成してもよいし、パッドとパッドとの間に形成してもよい。

本発明の原形図



1: 鉛溶融

2: レジスト

3: マーキングインク

4: 小径VIA

5: パッド

10: プリント配線板

(2)

特開平10-173326

1

【特許請求の範囲】

【請求項1】プリント配線板上に所定ピッチで形成される小径VIAおよびパッドを有するプリント配線板において、はんだ流出防止用の防御壁(1)をレジスト

(2)上にマーキングインク(3)で形成する、ことを特徴とするプリント配線板。

【請求項2】前記防御壁(1)は、小径VIA(4)の上に形成する、ことを特徴とする請求項1に記載のプリント配線板。

【請求項3】前記防御壁(1)は、小径VIA(4)を塞ぐように形成する、ことを特徴とする請求項1に記載のプリント配線板。

【請求項4】前記防御壁(1)は、パッド(5)とパッド(5)との間に形成する、ことを特徴とする請求項1に記載のプリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、リフローはんだ付けや、ディップはんだ付けされる電子部品等のはんだ接続時の信頼性を確保する、プリント配線板に関するものである。

【0002】

【従来の技術】プリント配線板に表面実装部品(以下、SMT部品と称する)、およびBGA(Ball Grid Array)素子、あるいはリード付き部品(以下、IMT部品と称する)を搭載してプリント回路板を形成している。SMT部品やBGA素子はリフローはんだ付けによってプリント配線板に実装されており、IMT部品はディップはんだ付けによってプリント配線板に実装されている。

【0003】また、プリント配線板には、プリント配線板の各層間を接続するための小径VIAが設けられている。さらに、プリント配線板の最終工程には、マーキングインクを印刷することによって、実装される部品の位置や種類等を示すマーキング工程がある。

【0004】図6は従来技術におけるBGA素子の実装形態図を示す。同図において、BGA素子65の実装においては、パッド55の近傍に小径VIA54を設けることが多い。リフローはんだ付けの際には、はんだ70がパッド55と小径VIA54とにまたがって接続されて、はんだショートが発生させることがある。

【0005】図7は従来技術におけるSMT部品の実装形態図を示す。同図(a)において、SMT部品66の実装においては、SMT部品66実装面の内側に小径VIA54を設けることが多い。リフローはんだ付けの際には、はんだ70がパッド55とパッド55とにまたがって接続されて、はんだショートが発生させることがある。

【0006】さらに、同図(b)において、IMT部品

2

はんだ70が小径VIA54を通過して吹き上げて小径VIA54と小径VIA54、あるいは小径VIA54とパッド55とにまたがって接続されて、はんだショートが発生させることがある。

【0007】図8は従来技術におけるコネクタの実装形態図を示す。同図(a)において、図示しないリードが設けられ、さらに、裏面に金肩部69を備えたコネクタ68の実装においては、ディップはんだ付けが施される際には、はんだ70がコネクタ68の下に設けられた小径VIA54を通過して吹き上げて、小径VIA54と金肩部69とが接続されて、はんだショートが発生させることがある。

【0008】このようなはんだショートを防止するためには、金肩部69に予めテープ等を貼付して対処することになる。

【0009】さらに、同図(b)において、前記と同様に、はんだ70が小径VIA54を通過して吹き上げて、小径VIA54と小径VIA54とにまたがって接続されて、はんだショートが発生させることがある。

【0010】図9は従来技術の作用説明図を示す。同図はリフローはんだ付け工程の一部を示しており、同図(a)および同図(b)はプリント配線板に施されたクリームはんだ印刷の状態を示し、同図(c)および同図(d)はプリント配線板に部品が搭載される状態をそれぞれ示している。

【0011】同図(a)において、パッド55にクリームはんだ印刷される位置がズレた場合は、小径VIA54のレジスト52を乗り越えてクリームはんだ71が印刷されることになる。同図(b)において、パッド55にクリームはんだ印刷される位置がズレた場合は、パッド55間に設けられたレジスト52を乗り越えてクリームはんだ71が印刷されることになる。

【0012】この様にクリームはんだ印刷されたプリント配線板に前述のBGA素子やSMT部品が実装された場合には、図6および図7に示したように、はんだ70はパッド55と小径VIA54、パッド55とパッド55とのショートが特に発生しやすい状態になる。

【0013】同図(c)において、BGA素子65がプリント配線板60に搭載される際にははんだボール72とパッド55との位置がズレた場合を示しており、同図(d)において、SMT部品66がプリント配線板60に搭載される際にリード67とパッド55との位置がズレた場合をそれぞれ示している。

【0014】この様な場合は前述と同様に、はんだ70はパッド55と小径VIA54、パッド55とパッド55とのショートが特に発生しやすい状態になる。

【0015】

【発明が解決しようとする課題】前記のごとく、従来の技術によるプリント配線板では次のような問題点があ

(3)

特開平10-173326

3

【0016】1) リフローはんだ付けの際には、はんだはパッドと小径VIA、あるいはパッドとパッドとのはんだショートが発生しやすい。特に、クリームハンダ印刷のズレや部品搭載時のズレがある場合は顕著に現れる。

【0017】2) ディップはんだ付けの際には、はんだは小径VIAとパッド、あるいは小径VIAと小径VIA、さらに、小径VIAとコネクタ等の金属部とのはんだショートが発生しやすい。

【0018】

【課題を解決するための手段】前記の問題点を解決するために、この発明では次のような手段を取る。

【0019】1) リフローはんだ付けやディップはんだ付けの際に、はんだ流出防止用の防御壁をレジストの上に形成する。

【0020】これにより、防御壁によって所定の位置にはんだ付けされるはんだを近傍の小径VIAやパッドへ流出するのを防止するので、はんだ接続におけるはんだショートの発生を防止する。

【0021】

【発明の実施の形態】この発明は、次に示したような実施の形態をとる。

【0022】1) 図1に示すごとく、プリント配線板上に所定ピッチで形成される小径VIAおよびパッドを有するプリント配線板において、はんだ流出防止用の防御壁1をレジスト2上にマーキングインク3で形成する。

【0023】これにより、防御壁によって所定の位置にはんだ付けされるはんだを近傍の小径VIAやパッドへ流出するのを防止するので、はんだ接続におけるはんだショートの発生を防止する。さらに、防御壁は特別の工程を付加することなく、マーキング工程においてマーキング位置を追加するだけで形成する。

【0024】2) 図1に示すごとく、前記防御壁1は、小径VIA4の上に形成する。

【0025】これにより、リフローはんだ付けによって接続されるBGA素子やSMT部品等の実装においては、パッドと小径VIAとののはんだショート、あるいは小径VIAと小径VIAとののはんだショートを防止する。さらに、部品搭載時のズレやクリームはんだ印刷時のズレがあっても、防御壁によってパッドと小径VIAとののはんだショート、あるいは小径VIAと小径VIAとののはんだショートを防止する。

【0026】3) 図1に示すごとく、前記防御壁1は、小径VIA4を塞ぐように形成する。

【0027】これにより、ディップはんだ付けにおいては、小径VIAの上面へはんだを流出させないので、裏面に金属カバーを備えるコネクタ部品等の実装においては、金属カバーと小径VIAとののはんだショート等を防止する。

4

パッド5とパッド5との間に形成する。

【0029】これにより、リフローはんだ付けによって接続されるSMT部品の実装においては、パッドとパッドとののはんだショートを防止する。さらに、部品搭載時のズレやクリームはんだ印刷時のズレがあっても、防御壁によってパッドとパッドとののはんだショートを防止する。

【0030】

【実施例】この発明による代表的な実施例を図2ないし図5によって説明する。

【0031】図2は本発明の実施例におけるBGA素子の実装形態図である。

【0032】同図において、プリント配線板10にはBGA素子15と接続される各パッド5が20〜30μm程度の厚みでパターンめっき等によって配置されている。パッド5間に設けた小径VIA4にはレジスト2が30〜60μm程度の厚みで施され、レジスト2の上面にはマーキングインク3を50〜100μm程度の厚みで施している。

【0033】なお、以下において、パッドと、レジストと、マーキングインクの各厚みは、前述と同等である。

【0034】はんだボールを有するBGA素子15は、前述と同様にリフローはんだ付けによって予めクリームはんだ印刷されたパッド5とはんだ接合される。

【0035】前記のマーキングインク3は、リフローはんだ付けの際に、はんだ20がパッド5と小径VIA4とにまたがって接続されてはんだショートを発生させないように、はんだ流出を防止する防御壁となるように形成するものである。

【0036】図3は本発明の実施例におけるSMT部品の実装形態図である。同図(a)はパッドのはんだ付け状態を示し、同図(b)は小径VIAのはんだ付け状態をそれぞれ示している。

【0037】同図(a)において、プリント配線板10にはSMT部品16と接続される各パッド5がパターンめっき等によって配置されている。パッド5間にはレジスト2が施され、レジスト2の上面にはマーキングインク3を施している。リード17を有するSMT部品16は、前述と同様にリフローはんだ付けによって予めクリームはんだ印刷されたパッド5とはんだ接合される。

【0038】前記のマーキングインク3はリフローはんだ付けの際に、はんだ20がパッド5とパッド5とにまたがって接続されて、はんだショートを発生させないように、はんだ流出を防止する防御壁となるように形成するものである。

【0039】同図(b)において、SMT部品16実装面の内側に設けられた小径VIA4のレジスト2の上面にはマーキングインク3を施している。前記のマーキングインク3はSMT部品実装のためにディップはんだ付け

(4)

特開平10-173326

5

て吹き上げて小径VIA4と小径VIA4、あるいは小径VIA4とパッド5とにまたがって接続されて、はんだショートが発生させないように、はんだ流出を防止する防壁となるように形成するものである。

【0040】図4は本発明の実施例におけるコネクタの実装形態図である。同図(a)は小径VIAのはんだ付け状態(1)を示し、同図(a)は小径VIAのはんだ付け状態(2)をそれぞれ示している。

【0041】同図(a)において、図示しないリードが設けられ、さらに、裏面に金層部19を備えたコネクタ18の実装においては、前記コネクタ18の下に設けられた小径VIA4に施されたレジスト2の上面にマーキングインク3を施すものである。

【0042】前記のマーキングインク3はディップはんだ付けが施される際には、はんだ20が小径VIA4を通過して吹き上げて、小径VIA4と金層部19とが接続されて、はんだショートが発生させないようにするものである。

【0043】同図(b)においては、小径VIA4に施されたレジスト2の上面に小径VIA4を塞ぐようにマーキングインク3を施すものである。前記のマーキングインク3はディップはんだ付けが施される際には、はんだ20が小径VIA4を通過して吹き上がることを禁止するものである。

【0044】図5は本発明の作用説明図である。同図はリフローはんだ付け工程の一部を示しており、同図(a)および同図(b)はプリント配線板に施されたクリームはんだ印刷の状態を示し、同図(c)および同図(d)はプリント配線板に部品が搭載される状態をそれぞれ示している。

【0045】同図(a)において、パッド5にクリームはんだ印刷される位置がズレた場合は、マーキングインク3は小径VIA4のレジスト2を乗り越えてクリームはんだ21が印刷されることを禁止している。

【0046】同図(b)において、パッド5にクリームはんだ印刷される位置がズレた場合は、マーキングインク3はパッド5間に設けられたレジスト2を乗り越えてクリームはんだ21が印刷されることを禁止している。

【0047】この様に、クリームはんだ印刷にズレがあっても、マーキングインク3の高さによって横ズレしたはみ出しはんだクリームの量を少なくすることができる。従って、この様なクリームはんだ印刷されたプリント配線板に前述のBGA素子やSMT部品が実装された場合には、図2および図3に示したように、はんだ20はパッド5と小径VIA4、あるいはパッド5とパッド5とのショートが発生することを防止できる。

【0048】同図(c)において、BGA素子15がプリント配線板10に搭載される際に、はんだボール22

6

に搭載される際に、リード17とパッド5との位置がズレた場合をそれぞれ示している。

【0049】この様な場合においても、前述の図2および図3に示したように、マーキングインク3によって、はんだ20がパッド5と小径VIA4、あるいはパッド5とパッド5とのショートが発生することを防止できる。

【0050】

【発明の効果】以上説明したように本発明によれば、次に示すような効果がある。

【0051】1) プリント配線板上に所定ピッチで形成される小径VIAおよびパッドを有するプリント配線板において、はんだ流出防止用の防壁をレジスト上にマーキングインクで形成する。

【0052】これにより、所定の位置にはんだ付けされるはんだを防壁によって近傍の小径VIAやパッドへ流出するのを防止することができるので、はんだ接続におけるはんだショートの発生を防止することができる。さらに、防壁は特別の工程を付加することなく、マーキング工程においてマーキング位置を追加するだけで容易に形成することができる。

【0053】2) 前記防壁は、小径VIAの上に形成する。

【0054】これにより、リフローはんだ付けによって接続されるBGA素子やSMT部品等の実装においては、パッドと小径VIAとののはんだショート、あるいは小径VIAと小径VIAとののはんだショートを防止することができる。さらに、部品搭載時のズレやクリームはんだ印刷時のズレがあっても、防壁によってパッドと小径VIAとののはんだショート、あるいは小径VIAと小径VIAとののはんだショートを防止することができる。

【0055】3) 前記防壁は、小径VIAを塞ぐように形成する。

【0056】これにより、ディップはんだ付けにおいては、小径VIAの上面へはんだを流出させないので、裏面に金層カバーを備えるコネクタ部品等の実装においては、金層カバーと小径VIAとののはんだショート等を防止することができる。

【0057】4) 前記防壁は、パッドとパッドとの間に形成する。

【0058】これにより、リフローはんだ付けによって接続されるSMT部品の実装においては、パッドとパッドとののはんだショートを防止することができる。さらに、部品搭載時のズレやクリームはんだ印刷時のズレがあっても、防壁によってパッドとパッドとののはんだショートを防止することができる。

【図面の簡単な説明】

図1 本発明の図面図

(5)

特開平10-173326

7

8

図である。

【図3】本発明の実施例におけるSMT部品の実装形態図である。

【図4】本発明の実施例におけるコネクタの実装形態図である。

【図5】本発明の作用説明図である。

【図6】従来技術におけるBGA素子の実装形態図である。

【図7】従来技術におけるSMT部品の実装形態図である。

*【図8】従来技術におけるコネクタの実装形態図である。

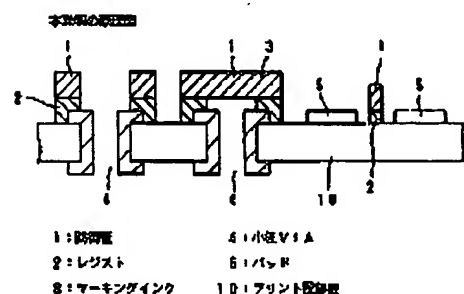
【図9】従来技術の作用説明図である。

【符号の説明】

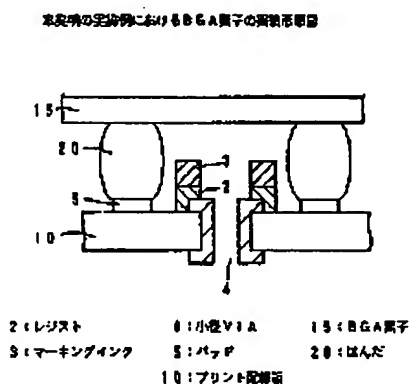
- 1：防御壁
2：レジスト
3：マーキングインク
4：小径VIA
5：パッド

*10 プリント配線板

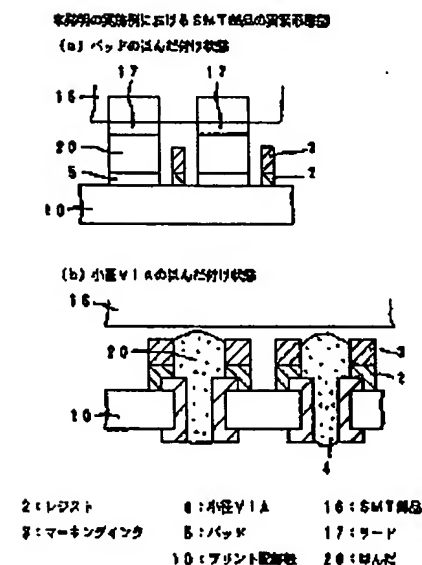
【図1】



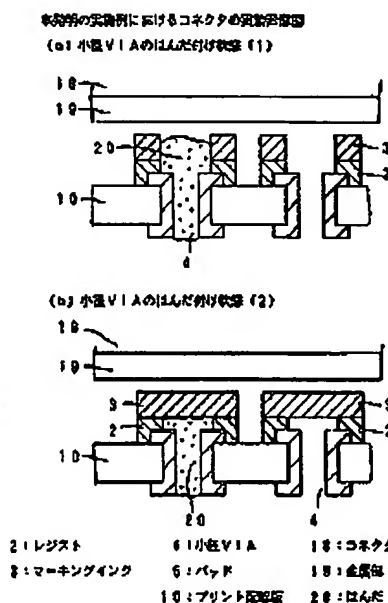
【図2】



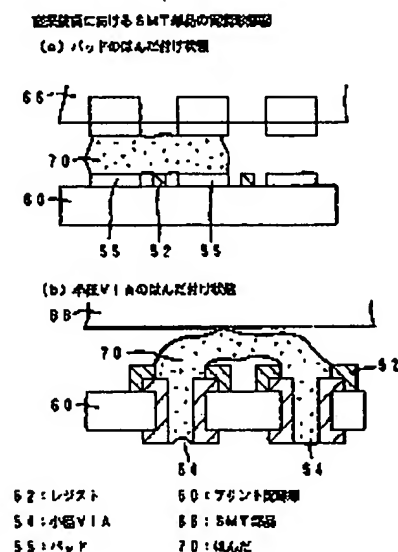
【図3】



【図4】



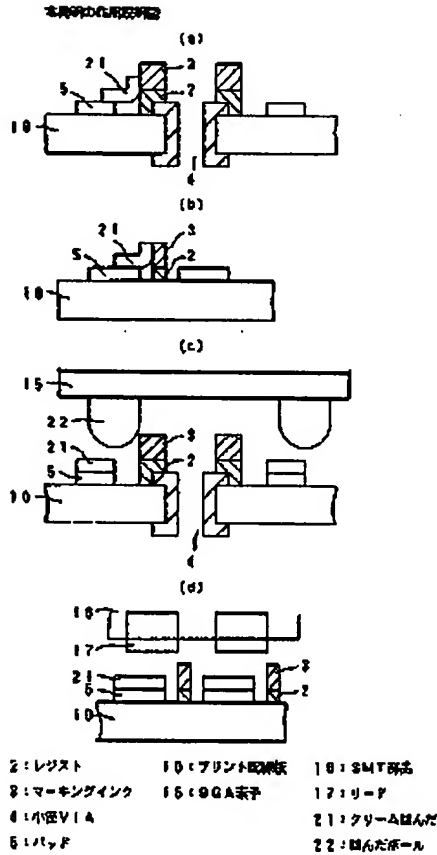
【図7】



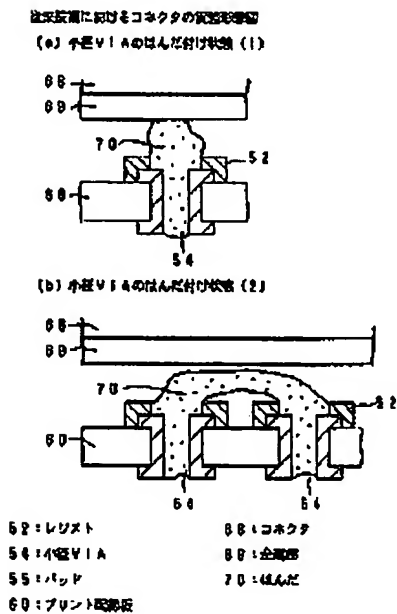
(6)

特開平10-173326

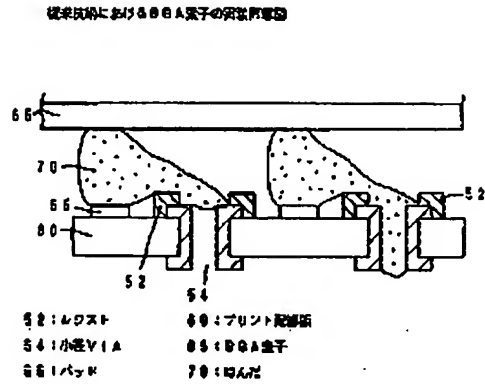
【図5】



【図8】



【図6】



【図9】

